

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-125060

(43)Date of publication of application : 12.06.1986

(51)Int.Cl.

H01L 23/48

G01R 31/26

(21)Application number : 59-245993 (71)Applicant : HITACHI LTD

(22)Date of filing : 22.11.1984 (72)Inventor : ISOBE TERUO

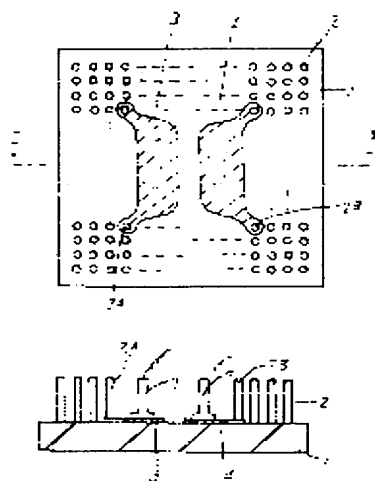
(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To stabilize power feeding without noises at the time of operation tests such as the tests of electric characteristics of a semiconductor device, wherein conducting thin films, which are electrically connected to lead pins for a power source or grounding, are provided in a specified part on the lead-pin providing side of a package substrate.

CONSTITUTION: A plurality of lead pins 2 are provided on the surface opposite to the semiconductor-chip mounting surface of a package substrate 1. Of conducting thin films 3 and 4, which are provided on the installed side of the lead pins 2 of the package substrate 1, the conducting thin film 3 is electrically connected to a power source lead pins 2A. The conducting thin film 4 is electrically connected to a

grounding lead pin 2B. When electric characteristic tests are conducted, terminals 7 of a measuring instrument for the electric characteristic tests are compressed to the conducting films 3 and 4, and power is supplied. Since the inductances of the conducting thin films 3 and 4 are smaller than the inductances of the lead pins 2, noises in the power source are reduced, and a stabilized power source voltage can be supplied.



7

[Claims]

1. In the semiconductor device of the pin grid array package method, in the prescribed part on the lead pin mounting side of the package circuit board, the semiconductor device which makes the matter that a conductive thin film connected electrically with the one for the power source or the grounding lead pin was set up characteristics.

2. The semiconductor device in the claim 1 to pile up a conductive thin film connected electrically with a lead pin for the above power source and a conductive thin film connected electrically and the grounding lead pin through the insulator film and which make the matter that it was set up to construct a smoothing capacitor characteristics.

[Detailed description of the invention]

This invention is related to the effective technology that it is specially applied to the electric properties test technology of the semiconductor device about the semiconductor device.

[Prior Art]

The electron device which includes a semiconductor device shows a tendency to speed up that signal processing. The delay of the package and the signal by the wiring circuit board causes a big trouble to handle a high-speed signal. And, as for the electric properties test of the semiconductor device as well, these subjects are taken into consideration.

When for example a power source was specially supplied from the lead pin in the electric characteristic test of the semiconductor device of the pin grid array package method, this inventor found that it was the cause that inductance of the lead pin at the time of the actual semiconductor chip movement and power source noise by the difference in inductance at the time of the test caused the error of that result of a test as a result of examining applied technology.

Still, for example the technology of the point that the delay of the package and the signal by the wiring circuit board causes a big trouble is mentioned for Nikkei McGraw-Hill company issue "Nikkei electronics. separate volume (micro-devices) published in June 11, 1984.to handle a high-speed signal.

[Object of the invention]

As for the purpose of this invention, there is a case that power source supply at the time of the movement test such as an electric characteristic test of the semiconductor device is made the thing with no noise which became stable in providing possible technology. The previous item of this invention and other purposes and new characteristics will be clear by the description of this detailed account and the attached drawing.

It is as mentioned in the following if the outline of the typical thing in the invention that it is disclosed in this application is explained.

In other words, a conductive thin film connected electrically with a lead pin for the power source and a conductive thin film connected to the prescribed part on the lead pin mounting side of the semiconductor device which set up a conductive thin film that it is connected to fixed lead pin mounting side package circuit board department power source ground lead pin, and the package circuit board electrically and the grounding lead pin is piled up through the insulator, a power source voltage at the time of the movement test such as an electric characteristic test of the semiconductor device was made the voltage with no noise which became stable by setting it up to construct smoothing capacitor.

It explains about the following, the construction of this invention with 1 execution example. What has the same function gives the same sign, and the explanation of that repetition is omitted in the complete map.

[Embodiments]

This execution example is applied to the semiconductor device of the pin grid array

package method, and a drawing is used about the following this and explained. As for the first figure, the ground plan seen from the lead pin mounting side of the semiconductor device of the pin grid array package method of this execution example, and the second figure are cross sections in the first figure II-II cutting line.

1 is a package circuit board, and more than one lead pin 2 is set up in the that semiconductor chip loading side opposite side in the first figure and the second figure.

3 and 4 are a conductive thin film set up in the mounting side of the lead pin 2 of the package circuit board 1, and a conductor light film 4 is set up to connect it electrically with the lead pin 2B for the ground to connect a conductive thin film 3 electrically with lead pin 2A for the power source supply.

So that this conductive thin film 3 and 4 may make the influence of the one for the power source or the inductance of the lead pin 2 for the ground small to work for the decrease in power source noise at the time of the movement test such as an electric properties test of the semiconductor device of the pin grid array package method.

And, 4 is piled up with the above conductive thin film 3 through the insulator film 5 as shown in the third figure, and you may set it up to form a smoothing capacitor 6 to decrease power source noise more. So that this smoothing capacitor 6 may stabilize a power source voltage by smoothing the noise which gets into it in the power source circuit] .

7 is the terminal of the measurement vessel for the electric properties test, and it is constructed to press a signal guidance member 7A with a spring 7B as shown in the 4th figure. 8 is the lead line connected to the above signal guidance member 7A electrically.

When an electric characteristic test is done, the terminal 7 of the measurement vessel for the electric characteristic test is pressed to a conductive thin film 3 and 4 as shown in the second figure, and a power source is supplied according to this execution example. At this time, a conductive thin film 3 and inductance of 4 can supply the power source voltage that it is smaller than inductance of the lead pin 2 and that power source noise was decreased and which became stable.

Moreover, power source noise is smoothed, and the power source voltage which became stable more can be supplied because a smoothing capacitor is formed by to pile up 4 with the above conductive thin film 3 through the insulator film 5 as shown in the third figure and to set it up.

[Effect]

As explaining as mentioned, according to the new technology disclosed with this application, next it can get mentioned effect.

(1) Because inductance of a conductive thin film is smaller than inductance of the lead pin, power source noise is decreased, and the power source voltage which became stable can be supplied to the prescribed part on the lead pin mounting side of the package circuit board by having set up a conductive thin film connected electrically with the one for the power source or the grounding lead pin.

(2) Power source noise is smoothed, and the power source voltage which became stable more can be supplied because smoothing capacitor is formed by to pile up a conductive thin film connected electrically with a lead pin for the above power source and a conductive thin film connected electrically and the grounding lead pin through an insulation film and to set it up.

(3) It can work for the improvement in the reliability of the semiconductor device by the previous item (1) or (2). As mentioned, though this invention was explained concretely based on the example, this invention isn't limited to the above execution example, but it is needless to say that it can be changed variously in the range that it doesn't deviate from that point.

[Brief explanation of the drawings]

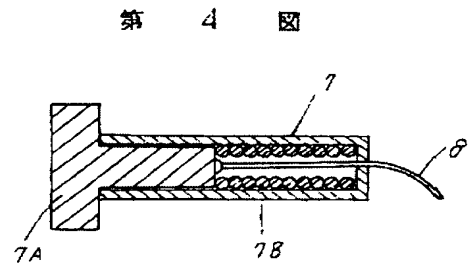
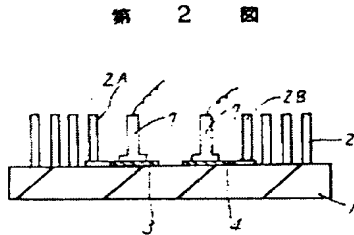
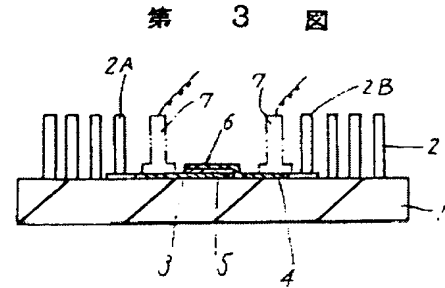
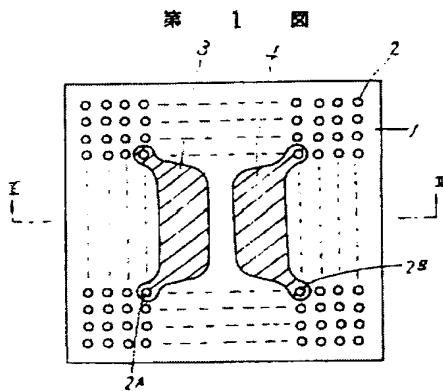
The first figure is the ground plan seen from the lead pin mounting side of the semiconductor device of the pin grid array package method of this execution example.

The second figure is a cross section in the first figure II - II cutting line.

The third figure is the cross section which shows the example which a conductive thin film was piled up to through the insulator film and which was set up.

The fourth figure is the cross section which shows the terminal of the measurement vessel for the electric properties test in section.

1. Package circuit board, 2. Lead pin, 2A. Lead pin for the power source supply, 2B. Grounding lead pin, 3, 4. Conductive thin film, 5. Insulating film, 6. Smoothing capacitor



⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-125060

⑤ Int.Cl.⁴

H 01 L 23/48
G 01 R 31/26

識別記号

庁内整理番号

7357-5F
7359-2G

④ 公開 昭和61年(1986)6月12日

審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 半導体装置

⑰ 特 願 昭59-245993

⑱ 出 願 昭59(1984)11月22日

⑲ 発 明 者 磯 部 輝 雄 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. ピン・グリッド・アレイ・パッケージ方式の半導体装置において、パッケージ基板のリードピン設置側の所定部に、電源用又はグランド用リードピンと電気的に接続された導電性薄膜を設けたことを特徴とする半導体装置。
2. 前記電源用リードピンと電気的に接続された導電性薄膜と、グランド用リードピンと電気的に接続された導電性薄膜を絶縁膜を介して重ねて、平滑コンデンサを構成するように設けたことを特徴とする特許請求の範囲第1項記載の半導体装置。

発明の詳細な説明

(技術分野)

本発明は、半導体装置に係り、特に、半導体装置の電気特性テスト技術に適用して有効な技術に関するものである。

(背景技術)

半導体装置を含む電子装置は、その信号処理を

高速化する傾向にある。高速の信号を扱うにはパッケージや配線基板による信号の遅延は大きな問題となる。

また、半導体装置の電気特性テストにおいても、これらの課題を考慮する必要がある。

本発明者は、かかる技術を検討した結果、例えば、ピン・グリッド・アレイ・パッケージ方式の半導体装置の電気特性テストにおいて、特に、リードピンから電源を供給する場合、実際の半導体チップ動作時におけるリードピンのインダクタンスとテスト時のインダクタンスの相違による電源ノイズが、そのテスト結果の誤差を発生する原因となっていることを見出した。

なお、高速の信号を扱うにはパッケージや配線基板による信号の遅延は大きな問題となる点の技術は、例えば、日経マグロウヒル社発行「日経エレクトロニクス、別冊(マイクロデバイスセズ)」1984年6月11日、no.2、P137～139に記載されている。

(発明の目的)

本発明の目的は、半導体装置の電気特性テスト等の動作テスト時の電源供給をノイズのない安定したものにすることが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにするであろう。

〔発明の概要〕

本願において開示される発明のうち、代表的なものの特徴を説明すれば、下記のとおりである。

すなわち、ピン・グリッド・アレイ・パッケージ方式の半導体装置において、パッケージ基板のリードピン設置側の所定部に、電源用又はグランド用リードピンと電気的に接続された導電性薄膜を設けた半導体装置、及びパッケージ基板のリードピン設置側の所定部に、電源用リードピンと電気的に接続された導電性薄膜と、グランド用リードピンと電気的に接続された導電性薄膜を絶縁体を介して重ねて、平滑コンデンサを構成するように設けることにより、半導体装置の電気特性テ

スは電源供給用リードピン2Aと電気的に接続するように、導電性薄膜4はグランド用リードピン2Bと電気的に接続するように設けられている。これらの導電性薄膜3及び4は、ピン・グリッド・アレイ・パッケージ方式の半導体装置の電気特性テスト等の動作テスト時の電源ノイズの低減をはかるために、電源用又はグランド用リードピン2のインダクタンスの影響を小さくするためのものである。

また、電源ノイズをさらに低減するために、第3図に示すように、前記導電性薄膜3と4とを絶縁膜5を介して重ねて、平滑コンデンサ6を形成するように設けてもよい。この平滑コンデンサ6は、電源回路に侵入してくるノイズを平滑して電源電圧を安定させるためのものである。7は電気特性テスト用測定器の端子であり、第4図に示すように、信号誘導部材7Aをスプリング7Bで押圧するように構成されている。8は前記信号誘導部材7Aに電気的に接続されたリード線である。

本実施例によれば、電気特性テストを行う場合、

ト等の動作テスト時の電源電圧をノイズのない安定した電圧にしたものである。

以下、本発明の構成について、一実施例とともに説明する。

なお、全図において、同一の機能を有するものは同一の符号を付け、その繰り返しの説明は省略する。

〔実施例〕

本実施例は、ピン・グリッド・アレイ・パッケージ方式の半導体装置に適用したものであり、以下これについて図面を用いて説明する。

第1図は、本実施例のピン・グリッド・アレイ・パッケージ方式の半導体装置のリードピン設置側から見た平面図、第2図は、第1図のII-II切断線における断面図である。

第1図及び第2図において、1はパッケージ基板であり、その半導体チップ搭載面と反対側の面には、複数のリードピン2が設けられている。3及び4はパッケージ基板1のリードピン2の設置側に設けられた導電性薄膜であり、導電性薄膜3

第2図に示すように、電気特性テスト用測定器の端子7を導電性薄膜3と4に押し付けて電源を供給する。この時、導電性薄膜3及び4のインダクタンスは、リードピン2のインダクタンスよりも小さいので、電源ノイズが低減され、安定した電源電圧を供給することができる。

また、第3図に示すように、前記導電性薄膜3と4を絶縁膜5を介して重ねて設けることにより、平滑コンデンサが形成されるので、電源ノイズが平滑されて、さらに安定した電源電圧を供給することができる。

〔効果〕

以上説明したように、本願で開示した新規な技術によれば、次に述べるような効果を得ることができる。

(1) パッケージ基板のリードピン設置側の所定部に、電源用又はグランド用リードピンと電気的に接続された導電性薄膜を設けたことにより、導電性薄膜のインダクタンスは、リードピンのインダクタンスよりも小さいので、電源ノイズが低減

され、安定した電源電圧を供給することができる。

(2) 前記電源用リードピンと電気的に接続された導電性薄膜と、グランド用リードピンと電気的に接続された導電性薄膜を絶縁膜を介して重ねて設けることにより、平滑コンデンサが形成されるので、電源ノイズが平滑されて、さらに安定した電源電圧を供給することができる。

(3) 前記(1)又は(2)により、半導体装置の信頼性の向上をはかることができる。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることはいうまでもない。

図面の簡単な説明

第1図は、本実施例のピン・グリッド・アレイ・パッケージ方式の半導体装置のリードピン設置側から見た平面図。

第2図は、第1図のII-II切斯線における断面図。

第3図は、導電性薄膜を絶縁膜を介して重ねて

設けた例を示す断面図。

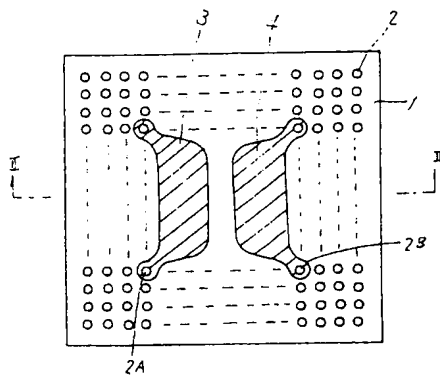
第4図は、電気特性テスト用測定器の端子の構成を示す断面図である。

図中、1…パッケージ基板、2…リードピン、2A…電源供給用リードピン、2B…グランド用リードピン、3、4…導電性薄膜、5…絶縁膜、6…平滑コンデンサである。

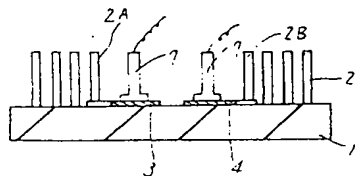
代理人 弁理士 高橋明夫



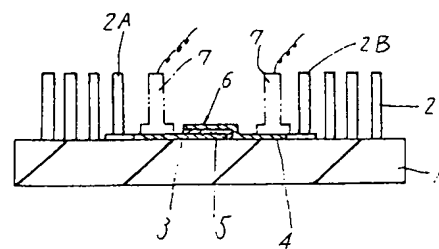
第 1 図



第 2 図



第 3 図



第 4 図

